

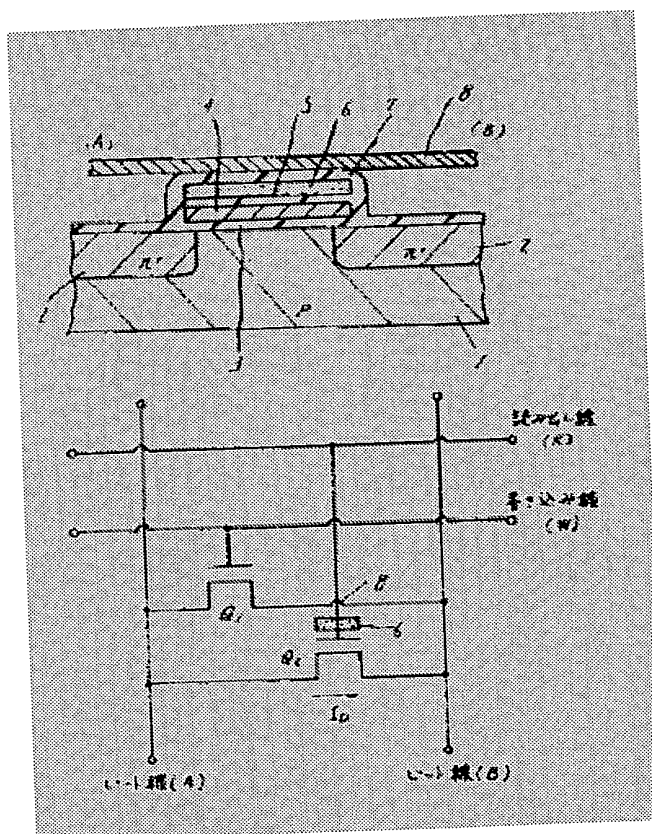
SEMICONDUCTOR MEMORY DEVICE

Patent number: JP57068092
Publication date: 1982-04-26
Inventor: UCHIUMI CHIKATAKE; KIHARA TOSHIMASA;
 MAKIMOTO TSUGUO
Applicant: HITACHI LTD
Classification:
 - international: G11C17/00; H01L29/78; H01L43/00
 - european: H01L29/82
Application number: JP19800142900 19801015
Priority number(s): JP19800142900 19801015

Report a data error here

Abstract of JP57068092

PURPOSE: To obtain a high speed non-volatile memory by superposing ferromagnetic thin film on the gate (or under the gate) of an MOFET and connecting a metallic wire thereto.
CONSTITUTION: An MOSFET Q2 is formed on a p type Si substrate, a ferrite thin film 6 is superposed via an insulating film 5 on a polysilicon gate 4, and aluminum conductor 8 for magnetization is disposed through an insulating film 7. At the writing time a writing line W and bit line A are set to "H", the conductor 8 is energized from A to B to magnetize film 6. At the reading time a reading line R and the bit line A are set to "H", and the magnitude of the drain current I_D of the Q2 is detected and amplified. At the erasing time the writing line W and bit line B are set to "H", is energized reversely from B to A to demagnetize the ferromagnetic film. With this structure, the channel current of the Q2 is controlled by the existence or absence of magnetization of the ferromagnetic film, thereby obtaining high speed non-volatile memory having no variation in memory even if the power source is disconnected.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—68092

⑨ Int. Cl.³
H 01 L 43/00
G 11 C 17/00
H 01 L 29/78

識別記号

1 0 1

庁内整理番号

6426—5 F
6549—5 B
7514—5 F

⑭ 公開 昭和57年(1982)4月26日

発明の数 2
審査請求 未請求

(全 4 頁)

⑮ 半導体記憶装置

①特 願 昭55—142900

②出 願 昭55(1980)10月15日

⑦発 明 者 内海京丈
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑦発 明 者 木原利昌
小平市上水本町1450番地株式会

社日立製作所武蔵工場内

⑦発 明 者 牧本次生
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑩出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑭代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. ソース・ドレイン領域を有する半導体基板と、この基板上に絶縁膜を介して形成されゲートと、このゲートの上又は下に絶縁膜を介して形成された強磁性体膜及び強磁性体膜の上を通り絶縁膜を介して設けられた導線とを有し、導線の電流方向によつて強磁性体膜の磁性方向を制御し、磁性方向によつてソース・ドレイン間の電流量を変えるようにしたことを特徴とする半導体記憶装置。
2. ソース・ドレイン領域を有し、その一方の領域に複数の電極コンタクト部を有する半導体基板と、この基板上に絶縁膜を介して形成されたゲートと、このゲートの上又は下に絶縁膜を介して形成された強磁性体膜及び、強磁性体膜の上を通り絶縁膜を介して設けられた導線とを有し、導線の電流方向によつて強磁性体膜の磁性方向を制御し、磁性方向によつてソース・ドレイン間の電流量又は、及び電流方向を変えるようにしたことを特徴

とする半導体記憶装置。

発明の詳細な説明

本発明は不揮発性の半導体記憶装置に関する。

従来から半導体メモリであつて電源が切れても記憶内容を保存できる機能を有する「不揮発性」メモリは、読出し専用メモリとして(1)マスクROM、(2)EPROM、(3)EAROM及びNV-RAM(STATIC RAMセル+MNOB)等がある。これらのうちマスクROMはマスク処理でメモリ各ビットに情報を書き込むので製造後にビット情報の書き換えは不可能であり、EPROMは電氣的に書き込み紫外線で記憶情報を消すので時間がかかり過ぎ、EAROMは電氣的に書き換え可能であるが書き換え回数が有限である等の欠点がある。又、NV-RAMは通常はスタティック動作し、停電時に記憶情報を不揮発メモリセルに移すようになっているが、停電時に高電圧をかける工夫がいること、データ保持時間が有限であること、メモリセル面積が大きくなること等の欠点がある。その他に磁性体のみから成るコアメモリがあるが集積

化には不向きであつた。

本願発明者は上述した点にかんがみ、半導体の微細加工性と電気信号処理性の良さと強磁性体のもつ不揮発性とを組み合わせることに着目した。したがつて本発明の目的はMOS構造に強磁性薄膜を重ねこれに金属配線を施すことで高速の不揮発性メモリとして使用できかつ高集積度に形成できる半導体メモリを提供することにある。

第1図は本発明によるメモリの原理的構造を示す断面図である。同図において、1はp型Si(シリコン)基板、2は基板の表面に形成したn⁺型ソース、ドレイン領域、3はSiO₂のごとき酸化物からなるゲート絶縁膜、4は多結晶Siからなるゲート、5は第2の絶縁膜、6はフェライト等のごとき強磁性体からなる薄膜、7は第3の絶縁膜、8はAl(アルミニウム)のごとき金属の導線である。すなわち、通常のMOSFETのゲート4の上に磁性体薄膜6を重ねその上部に金属導線8を配置して成るものである。なお、磁性体薄膜6の絶縁抵抗が十分に大きければ磁性体

導体記憶装置が実現できる。この装置は不揮発性装置であり、電源をオフしても記憶した情報が消えない。

第2図は半導体記憶装置に本発明を適用した場合のメモリセル(1ビット)を回路図で示すものである。

同図において、Q₁は書き込み用のMOSFET、Q₂はMOSメモリであつて、6は強磁性体薄膜を、8は磁化用のAl導線をあらわす。

情報の書き込みを行なう場合は、書き込み線WをHIGHにし、ビット線(A)をHIGHにすることによりAl導線8上を(A)→(B)へ電流を流し、強磁性体薄膜6を磁化する。

情報の読出しを行なう場合は、読出し線RをHIGHにし、ビット線(A)をHIGHにすることにより半導体基板1上を(A)→(B)へ流れるドレイン電流I_Dの大小をセンスアンプにて検出増幅することにより1.0の出力を得る。

既に書込まれた情報の消去を行なう場合は、書き込み線(W)をHIGHにし、ビット線(B)をHIGHにす

ることにより(B)→(A)へ電流を流して強磁性体を消磁する。

以上実施例で述べた本発明によれば、MOSFETのゲート上(または下)に強磁性体薄膜を重ね、これを磁化させ、あるいはさせないことにより、チャネルを流れる電荷量をコントロールすることで、電源をオフにしても記憶情報が変ることなく、アクセス時間1μs以下のNVRAMが実現でき、しかも集積度も減少することなく前記発明の目的を達成できる。

この状態でMOSFETのゲートに電圧を印加するとゲート直下の半導体表面(チャネル部)の極性が反転(p→n)してドレイン電流が流れるようになる。このときゲート直下に磁界があるので磁界がない時、あるいは反対極性のときと電流の流れが異なる。すなわち磁性体薄膜の磁化の「ありなし」は磁化方向の「正逆」でMOSFETのドレイン電流値が異なることを利用した半

導体メモリセルの他の実施例を示すものである。この実施例では、MOSFETのゲートの上に強磁性体薄膜を有する半導体メモリにおいて、ソース、ドレイン領域B、Dのうち、一方の領域に複数の電極D₁、D₂を設けた構造を有し、強磁性体の磁性方向によつてソース、ドレイン間の電流量を変えるようにしたものである。

第4図、第5図は本発明による半導体メモリセルの他の実施例を示すものである。この実施例では、MOSFETのゲートの上に強磁性体薄膜を有する半導体メモリにおいて、ソース、ドレイン領域B、Dのうち、一方の領域に複数の電極D₁、D₂を設けた構造を有し、強磁性体の磁性方向によつてソース、ドレイン間の電流量を変えるようにしたものである。

第4図、第5図において、各構成部分の指示番号記号は第1図における共通の構成部分の指示番号

号記号と共用する。第4図において、一点鎖線で囲む部分は n^+ 型拡散層であつて一方側にソースのコンタクト8が設けられ、他方側は2方向に分れてドレインの2つのコンタクト D_1 、 D_2 が設けられる。細い実線で囲む部分はポリシリコンゲート4でその一部にコンタクト9が設けられる。破線で囲む部分は強磁性体薄膜6、太い実線で囲む部分は $A\angle$ 導線8である。

次にこのメモリの動作を説明すれば、 $A\angle$ 導線8にパルス性の電流を流して磁性体を磁化させることにより書き込みを行なう。読出しの場合はポリシリコンゲートに(+)電流を印加すると強磁性体の磁化方向により、 $(D_1) \rightarrow (B)$ 又は $(D_2) \rightarrow (B)$ 方向に電流が流れる。例えば $(D_1) \rightarrow (B)$ を"1"とし、 $(D_2) \rightarrow (B)$ を"0"とすればメモリ動作をすることになる。消去の場合は $A\angle$ 導線8に逆方向にパルス電流を流せばよい。

本発明は前記実施例以外にも変形例を有するものである。

本発明はMOSLSI技術、特に不揮発性RA

Mに適用するものである。

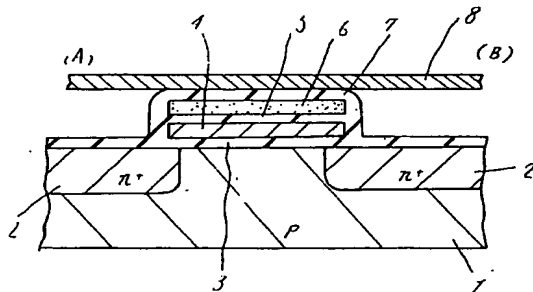
図面の簡単な説明

第1図は本発明による半導体メモリの一実施例の断面図、第2図は本発明による半導体メモリを使用したメモリセルの1ビット分の回路図、第3図は本発明による半導体メモリの他の実施例の断面図、第4図は本発明による半導体メモリのさらに他の実施例の平面図、第5図は第4図のA-A'視断面図である。

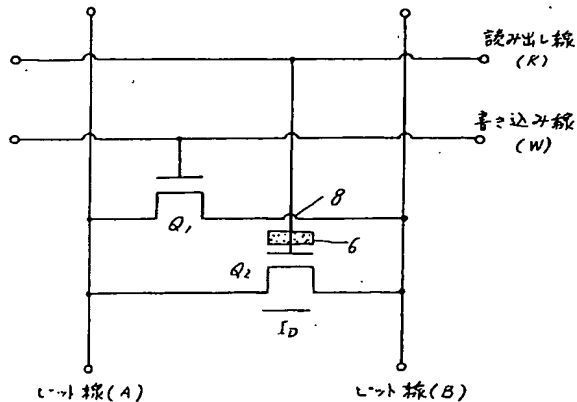
1…p型シリコン基板、2… n^+ 型拡散層(ソース、ドレイン)、3…ゲート絶縁膜、4…ポリシリコンゲート、5…絶縁膜、6…強磁性体薄膜、7…絶縁膜、8… $A\angle$ 導線、9…ゲートのコンタクト部。

代理人 弁理士 海 田 利 幸

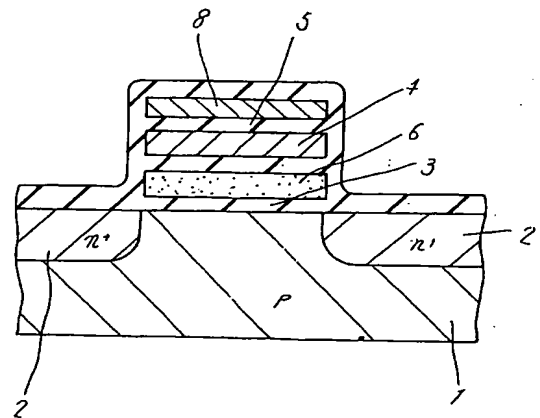
第 1 図



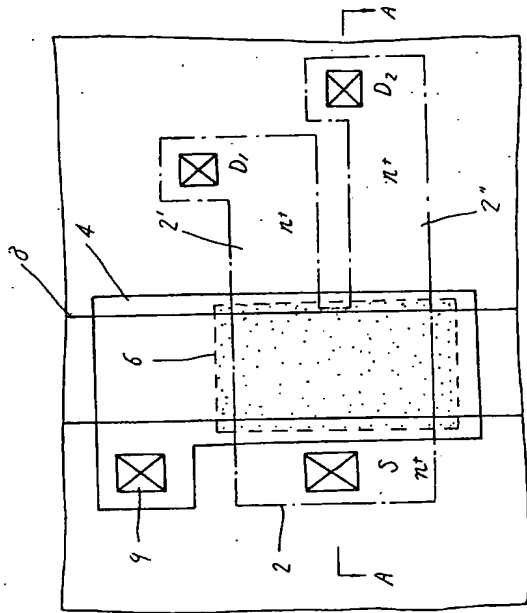
第 2 図



第 3 図



第 4 圖



第 5 圖

